

Передмова

На сучасному етапі розвитку галузі високопродуктивних обчислювальних систем значну увагу розробники зосереджують на проблематиці так званих “персональних суперкомп’ютерів”, які, знаходячись у розпорядженні одного користувача, могли б зрівнятися за продуктивністю з кластерами суперкомп’ютерів та мали б помірно енергоспоживання і невеликі габарити.

Перші розроблення персональних суперкомп’ютерів з’явилися в 2008 році. Їх особливістю є поєднання універсальних програмовних процесорів та спеціалізованих обчислювальних модулів, що істотно підвищує загальну продуктивність. До таких спеціалізованих обчислювальних модулів належать, зокрема, відеографічні прискорювачі, орієнтовані на виконання алгоритмів обробки зображень. Треба зазначити, що метод поєднання універсальних процесорів зі спеціалізованими не є новим, однак сьогодні у результаті розвитку технологій і засобів мікроелектронного виробництва він став одним з основних під час реалізації високопродуктивних обчислень та застосовується в традиційних і персональних суперкомп’ютерах.

До класу персональних суперкомп’ютерів також належать обчислювальні системи, побудовані на основі універсальних комп’ютерів та реконфігурованих прискорювачів. У цих системах реконфігуровні прискорювачі застосовуються для прискорення виконання визначеного класу обчислювальних алгоритмів. Реконфігуровні прискорювачі виготовляють у вигляді друкованих плат з розміщеними на них кристалами програмовної логіки, як правило, програмовними логічними інтегральними схемами, які піддаються реконфігуруванню, що дає змогу змінювати виконуваний прискорювачем обчислювальний алгоритм.

У монографії “Персональні суперкомп’ютери: архітектура, проектування, застосування” розглянуто питання, пов’язані з побудовою та організацією функціонування, а також окреслено перспективи розвитку високопродуктивних обчислювальних систем на основі універсальних комп’ютерів та апаратних прискорювачів. Описано та проаналізовано архітектурні особливості високопродуктивних обчислювальних систем, зокрема розглянуто спеціалізовані та реконфігуровні апаратні прискорювачі, висвітлено питання проектування апаратно-орієнтованих спеціалізованих процесорів для реконфігурованих прискорювачів, описано технології проектування програмних моделей обчислювальних пристроїв на рівні міжрегістрових передач та на вищих рівнях, технологію проектування комп’ютерних систем на кристалі, методи та засоби створення конфігурованих програмних моделей процесорів та їх генераторів. Значну увагу приділено питанням практичного застосування розглянутих технологій проектування апаратно-орієнтованих спеціалізованих процесорів для реконфігурованих прискорювачів. Зокрема, детально висвітлено підхід до проектування процесорів симетричного блокового шифру-

вання на основі бібліотеки програмних моделей їх компонент та підхід до проектування процесорів швидких ортогональних тригонометричних перетворень на основі генераторів їх програмних моделей. Описано питання організації функціонування реконфігуровного прискорювача у складі персонального суперкомп'ютера, його тестування, відлагодження та оцінювання прискорення. Крім того, показано деякі перспективні застосування реконфігуровних прискорювачів у складі персональних суперкомп'ютерів.

Монографія складається із шести частин.

У першій частині, яка складається з п'яти розділів, описано архітектуру, характеристики та особливості побудови сучасних суперкомп'ютерів.

У першому розділі розглядаються основні архітектурні підходи до побудови суперкомп'ютерів, методи оцінювання їх продуктивності, приклади сучасних суперкомп'ютерів, їх характеристики, галузі їх використання та проблеми, пов'язані з їх використанням. Окреслюються перспективи розвитку високопродуктивних обчислювальних систем. Розглянуто передумови появи, особливості та архітектуру персональних суперкомп'ютерів.

У другому розділі описано та проаналізовано основні підходи до побудови спеціалізованих процесорів. Розглядаються питання прискорення універсальних комп'ютерних систем за допомогою апаратно-орієнтованих спеціалізованих процесорів. Наведено приклади структур таких процесорів та сформульовано вимоги до них у контексті їх використання в високопродуктивних обчислювальних системах на основі універсальних комп'ютерів та реконфігуровних апаратних прискорювачів.

У третьому розділі описано архітектурні особливості найпоширеніших спеціалізованих прискорювачів, показано сфери їх застосування та характеристики. Зазначено, що у багатьох сучасних суперкомп'ютерах, зокрема тих, що належать до найпродуктивніших за рейтингом TOP500, використано спеціалізовані прискорювачі.

У четвертому розділі розглянуто найпоширеніші типи програмних логічних пристроїв. Показано суть та передумови появи реконфігуровних комп'ютерів, структури перших реконфігуровних обчислювальних систем. Розкрито причини використання програмних логічних інтегральних схем для виконання високопродуктивних обчислень, методи реконфігурування програмних логічних інтегральних схем та типи їх конфігуровних елементів.

У п'ятому розділі розглянуто типи архітектур високопродуктивних комп'ютерних систем з реконфігуровними прискорювачами, які класифікуються за способом інтегрування прискорювача в комп'ютерну систему. Описано особливості архітектур комп'ютерних систем на основі універсальних процесорів із слабкозв'язаними та тіснозв'язаними прискорювачами, зокрема прискорювачами з прямим з'єднанням з пристроями пам'яті. Показано приклади практичних реалізацій наявних на ринку реконфігуровних прискорювачів різної архітектури.

У другій частині книги, яка складається з п'яти розділів, описано технології та засоби проектування спеціалізованих процесорів для реконфігурованих прискорювачів персональних суперкомп'ютерів на різних рівнях.

У шостому розділі описано технологію та засоби проектування програмних моделей процесорів на рівні міжрегістрових передач, порядок, етапи та засоби проектування програмних моделей процесорів та комп'ютерних систем на кристалі. Розглядаються рівні проектування комп'ютерних систем на кристалі, зокрема концептуальний рівень, проектування і функціональна верифікація, архітектурне планування кристала, логічний синтез і проектування фізичного прототипу, проектування фізичних топологій напівзмовних схем. Також розглянуто методи тестування і відлагодження спеціалізованих процесорів у ПЛІС реконфігурованого прискорювача, зокрема методи внутрішньокристалного відлагодження, які передбачають внесення відлагоджувальних засобів всередину ПЛІС, а також особливості реалізації систем діагностики і тестування спеціалізованих процесорів у ПЛІС реконфігурованого прискорювача. Описано проектний потік з проектування програмної моделі процесора для реконфігурованого прискорювача та його подальшої реалізації в ПЛІС разом із засобами тестування.

У сьомому розділі описано концепцію конфігурування моделей апаратно-орієнтованих спеціалізованих процесорів. Проаналізовано переваги створення і використання конфігурованих моделей спеціалізованих процесорів та можливості конфігурування механізмами мов опису апаратних засобів. Описано формалізовану модель архітектури процесора як множину її параметрів, показано їх взаємозв'язок та вплив на характеристики процесора. Подано формалізований опис конфігурованої програмної моделі процесора на основі параметрів його архітектури. Показано методи формування програмних моделей процесорів для реконфігурованих прискорювачів.

У восьмому розділі висвітлено метод формування програмних моделей процесорів для реконфігурованих прискорювачів шляхом використання генераторів. Описано концепцію генерування програмних моделей та показано її переваги. Розглянуто засоби генерування програмних моделей обчислювальних пристроїв, зокрема, *IP Core Generator* від фірми *ALDEC* та *CORE Generator System* від фірми *Xilinx*. Розглянуто питання тестування генераторів програмних моделей процесорів та запропоновано структуру системи тестування. Аналізуються можливості застосування генераторів програмних моделей процесорів для побудови генераторів програмних моделей комп'ютерних систем на кристалі.

У дев'ятому розділі показано варіанти організації бібліотек програмних моделей процесорів, їхніх компонент, а також методи створення генераторів програмних моделей процесорів на їх основі. Розглянуто систему генерування програмних моделей процесорів з використанням бібліотеки компонент, розроблену науково-виробничим підприємством "Інтрон". Метод формування програмних моделей процесорів, що покладено в основу роботи цього генератора, має низку переваг порівняно з традиційною технологією їх проектування мовами опису

апаратних засобів у частині створення конфігурованих моделей. Зокрема, він позбавлений синтаксичних та структурних обмежень та забезпечує можливість конструювання програмних моделей процесорів з компонент на оптимальному рівні їх деталізації.

У десятому розділі розглянуто методи та засоби високорівневого проектування програмних моделей процесорів шляхом їх автоматизованого високорівневого синтезу. Наведено послідовність автоматичного синтезу спеціалізованих процесорів – від алгоритму до рівня міжрегістрових передач, методи подання виконуваного алгоритму, опис інтерфейсу та технічних характеристик спеціалізованого процесора. Розглядаються засоби автоматизованого високорівневого проектування програмних моделей процесорів шляхом переведення високорівневого опису алгоритму в модель апаратно-програмної системи, шляхом переведення високорівневого опису алгоритму в логічні вентиля ПЛІС, засоби синтезу програмних моделей процесорів шляхом конфігурування їх базової програмної моделі, а також комбіновані технології та засоби проектування.

У третій та четвертій частинах книги наведено приклади використання розглянутих технологій проектування програмних моделей процесорів для реконфігурованих прискорювачів.

У третій частині книги, яка складається з трьох розділів, наведено приклад використання технології проектування програмних моделей процесорів для реконфігурованих прискорювачів з використанням бібліотеки їх компонент, де як приклад вибрано бібліотеку компонент програмних моделей процесорів симетричного блокового шифрування за алгоритмами *DES* і *Triple DES*.

В одинадцятому розділі розглянуто загальні принципи побудови алгоритмів симетричного блокового шифрування, алгоритми симетричного блокового шифрування *DES* і *Triple DES* та режими шифрування, що в них використовуються.

У дванадцятому розділі показано конфігуровану структуру процесора симетричного блокового шифрування, визначено конфігураційні параметри архітектури процесорів симетричного блокового шифрування. Розглянуто принципи побудови конфігурованих операційних пристроїв процесорів симетричного блокового шифрування. За результатами досліджень структурної організації алгоритмів симетричного блокового шифрування та враховуючи особливості виконання цих алгоритмів у режимах зі зворотними зв'язками, виділено чотири варіанти реалізації операційного пристрою обробки даних і ключів: граф-алгоритмічну, ітераційну, ітераційно-конвеєрну та конвеєрну. Виділено два варіанти процедур обчислення підключів шифрування: паралельний, коли підключі обчислюються для всіх ітерацій відразу, та послідовний, коли підключі обчислюються одночасно з даними. Розроблено конфігуровану структуру пристрою організації режимів шифрування та визначено її конфігураційні параметри.

У тринадцятому розділі на основі запропонованих конфігурованих структур процесорів симетричного блокового шифрування спроектовано їхні базові

функціональні вузли з такими конфігураційними параметрами: тип алгоритму: *DES*, *Triple DES*; тип режиму шифрування: *ECB*, *CBC*, *CFB*, *OFB*; тип операції шифрування: зашифрування, розшифрування, обидві операції; розрядність блоків даних: 1 біт, 64 біти; структура операційного пристрою обробки даних і ключів: ітераційна, конвесрна. Визначено доцільні до реалізації типи процесорів симетричного блокового шифрування, які виконують ці алгоритми. Розроблено бібліотеки та розраховано загальну кількість компонент, які містить бібліотека програмних моделей процесорів симетричного блокового шифрування з наведеними значеннями конфігураційних параметрів, та загальну кількість компонент, які містить бібліотека їх компонент.

У четвертій частині описано використання технології проектування програмних моделей процесорів для реконфігурованих прискорювачів з використанням їх генераторів на прикладі генератора програмних моделей процесорів швидких ортогональних тригонометричних перетворень *FORT*. Частина складається з чотирьох розділів.

У чотирнадцятому розділі проаналізовано алгоритми швидких ортогональних перетворень: прямого та оберненого швидкого перетворення Фур'є комплексних чисел, швидкого перетворення Хартлі, котре скорочує обчислення, оскільки визначене над дійсними числами і має симетричну форму, швидкі синусне та косинусне перетворення Фур'є, які визначені на вужчому класі парних та непарних функцій, що дає можливість скоротити кількість операцій під час їх виконання. Оцінюються вимоги до комп'ютерних засобів для виконання алгоритмів швидких ортогональних перетворень та аналізуються архітектури та технічні характеристики існуючих процесорів швидких ортогональних перетворень. При цьому розглянуто два основні підходи до побудови цих процесорів. Перший ґрунтується на використанні універсальних програмованих процесорів, а особливості алгоритмів враховують за допомогою спеціалізації їх програмного забезпечення. Другий підхід ґрунтується на використанні процесорів, орієнтованих на виконання алгоритмів швидких ортогональних перетворень апаратним способом.

У п'ятнадцятому розділі розглянуто принципи побудови конфігурованих програмних моделей процесорів на основі програмних моделей нарощуваних апаратно-орієнтованих процесорів для реалізації ортогональних тригонометричних перетворень. На основі аналізу алгоритмів взаємних обчислень ортогональних перетворень обґрунтовується вибір одного з ортогональних перетворень як базового. Описано архітектури процесорів для окремих перетворень на основі дискретного косинусного перетворення і архітектуру багатофункціонального процесора для реалізації набору ортогональних тригонометричних перетворень. Наведено принципи побудови генератора програмних моделей процесорів швидких ортогональних тригонометричних перетворень на основі процесора швидкого косинусного перетворення.

У шістнадцятому розділі розглянуто питання структурної оптимізації алгоритму швидкого косинусного перетворення. Оптимізовано як матрицю перетво-

рення, так і матрицю коригування, причому останній приділено значно більше уваги, оскільки це питання в літературі розглянуто недостатньо. Подано як послідовні, так і паралельні структури матриці коригування алгоритму швидкого косинусного перетворення, а також алгоритму оберненого швидкого косинусного перетворення. При цьому розглядаються кілька різних варіантів паралельної матриці коригування, що дає можливість вибору кращої для конкретного варіанта використання.

У сімнадцятому розділі висвітлено питання розроблення генератора програмних моделей процесорів швидких ортогональних перетворень у складі конфігуровної *VHDL*-моделі процесора швидких ортогональних перетворень на основі швидкого косинусного перетворення, а також засобів конфігурування цієї моделі. Показано принципи перевірки функціонування моделей як окремих вузлів, так і процесора загалом.

П'ята частина книги складається з трьох розділів, в яких розглянуто питання організації функціонування реконфігуровного прискорювача у складі персонального суперкомп'ютера, його тестування та оцінювання прискорення виконання завдань.

У вісімнадцятому розділі розглядаються поширені інтерфейси передавання даних з погляду можливості їх застосування в персональних суперкомп'ютерах для організації взаємодії з реконфігуровними прискорювачами слабкозв'язаної архітектури. Формуються вимоги до інтерфейсу між універсальним комп'ютером та реконфігуровним прискорювачем. Запропоновано базову архітектуру програмно-апаратної системи для організації взаємодії універсального комп'ютера з реконфігуровним прискорювачем та описано модель взаємодії через інтерфейс *PCI Express*.

У дев'ятнадцятому розділі описано склад та функції програмного забезпечення для організації функціонування реконфігуровного прискорювача в складі персонального суперкомп'ютера, сформульовано вимоги до драйвера реконфігуровного прискорювача та вимоги до програмного забезпечення для організації роботи з реконфігуровним прискорювачем і контролю виконання на ньому завдань. Описано особливості реалізації консольної утиліти *PCI-E_Test*, яку розроблено на науково-виробничому підприємстві *Impron*, зокрема можливості переглядати інформацію про пристрої на шині *PCI Express*, записувати і читати конфігураційний простір цих пристроїв, записувати і читати пам'ять пристроїв, а також тестувати пропускну здатність контролерів.

У двадцятому розділі наведено результати експериментальних досліджень з реалізації персональних суперкомп'ютерів на основі універсальних комп'ютерів та реконфігуровних прискорювачів на вибраних платформах.

Остання, шоста частина книги складається з двох розділів. У ній на основі викладеного в попередніх частинах матеріалу показано деякі перспективні застосування реконфігуровних прискорювачів у складі персональних суперкомп'ютерів.

У двадцять першому розділі описано підхід віддаленого використання реконфігуровних прискорювачів, який полягає у наданні прискорювача як сервісу

через комп'ютерну мережу. Цей підхід названо віртуальною лабораторією реконфігурованих прискорювачів з дистанційним доступом. Розроблено структуру віртуальної лабораторії та показано, як її налаштовують. Сформовано перелік необхідних для функціонування лабораторії програмних засобів та описано функції кожного з них. Описано схему та сценарії взаємодії користувачів з реконфігурованим прискорювачем.

У двадцять другому розділі на основі аналізу розглянутих в книзі сучасних технологій і засобів проектування програмних моделей обчислювальних пристроїв та мікроелектронного виробництва, а також тенденцій розвитку напрямку високопродуктивних обчислень, запропоновано концепцію побудови самоконфігурованих прискорювачів. Наведено визначення самоконфігурованого прискорювача та методу самоконфігурування. Показано структуру самоконфігурованого прискорювача, який реалізує розглянутий метод самоконфігурування, описано процес підготовки програми до виконання та процес її виконання в персональному суперкомп'ютері із самоконфігурованим прискорювачем.