

Зміст

Передмова.....	15
Вступ.....	22
Частина 1. Архітектурні особливості суперкомп'ютерів.....	25
Анотація до частини I.....	27
Розділ 1. Сучасні суперкомп'ютери та галузі їх застосування.....	29
1.1. Основні риси архітектури суперкомп'ютерів.....	29
1.1.1. Методи досягнення високої продуктивності.....	29
1.1.2. Класифікація Фліна.....	32
1.1.3. Типи архітектури систем ОКМД.....	34
1.1.4. Типи архітектури систем МКМД.....	36
1.2. Методи оцінювання продуктивності суперкомп'ютерів.....	38
1.3. Побудова та характеристики сучасних суперкомп'ютерів.....	39
1.3.1. Суперкомп'ютер CRAY T932.....	40
1.3.2. Суперкомп'ютер IBM SP2.....	40
1.3.3. Суперкомп'ютер HP Exemplar.....	41
1.3.4. Суперкомп'ютер Intel ASCI RED.....	41
1.3.5. Суперкомп'ютер IBM Blue Gene/L.....	42
1.3.6. Суперкомп'ютер RIKEN MDGRAPE-3.....	43
1.3.7. Суперкомп'ютер IBM Roadrunner.....	44
1.3.8. Суперкомп'ютери Tianhe-1 та Tianhe-1A Національного університету оборонних технологій Китаю.....	45
1.3.9. Суперкомп'ютер Cray Jaguar XT5.....	46
1.3.10. Суперкомп'ютер K Computer компанії Fujitsu та Інституту фізико-хімічних досліджень RIKEN.....	47
1.4. Галузі застосування суперкомп'ютерів.....	51
1.5. Проблеми застосування суперкомп'ютерів.....	53
1.6. Персональні суперкомп'ютери.....	54
1.6.1. Персональний суперкомп'ютер Tesla Personal Supercomputer фірми NVIDIA.....	55
1.6.2. Персональний суперкомп'ютер CX1 фірми CRAY.....	57
1.6.3. Персональний суперкомп'ютер Octane III фірми SGI.....	58
1.7. Підходи до побудови суперкомп'ютерів.....	59
Розділ 2. Підвищення продуктивності комп'ютерних систем за допомогою спеціалізованих процесорів.....	61
2.1. Підходи до побудови спеціалізованих процесорів.....	61
2.2. Архітектура апаратно-орієнтованих спеціалізованих процесорів.....	63
2.3. Вимоги до спеціалізованих процесорів на основі кристалів програмовної логіки реконфігуровного прискорювача.....	68
2.3.1. Вимоги до спеціалізованого процесора в частині його технічних характеристик.....	68
2.3.2. Вимоги до спеціалізованого процесора в частині організації приймання даних, їх опрацювання та видавання.....	70
2.3.3. Вимоги до спеціалізованого процесора в частині його архітектури.....	70
2.3.4. Вимоги до кодів програмної моделі спеціалізованого процесора.....	70
Розділ 3 Спеціалізовані апаратні прискорювачі обчислень.....	71
3.1. Прискорювачі на основі процесорів CELL.....	71

3.1.1. Архітектура процесора CELL.....	72
3.1.2. Процесорний елемент POWER	73
3.1.3. Синергічний процесорний елемент SPE	74
3.1.4. Шина міжелементного зв'язку EIB	75
3.1.5. Контролер інтерфейсу пам'яті.....	76
3.1.6. Контролер інтерфейсу шини введення/виведення	76
3.1.7. Використання та характеристики процесорів CELL.....	77
3.1.8. Структура прискорювача на основі процесорів CELL	77
3.2. Прискорювачі на основі процесорів ClearSpeed	78
3.2.1. Архітектура процесорів ClearSpeed	78
3.2.2. Моноблок виконання.....	81
3.2.3. Поліблок виконання	81
3.2.4. Канал введення/виведення.....	81
3.2.5. Внутрішня та зовнішня шини	81
3.2.6. Особливості виконання команд	82
3.2.7. Використання процесорів ClearSpeed.....	82
3.3. Прискорювачі на основі процесорів GRAPE.....	83
3.3.1. Особливості прискорювачів на основі процесорів GRAPE.....	83
3.3.2. Архітектура процесорів GRAPE	84
3.3.3. Використання процесорів GRAPE	87
3.4. Прискорювачі на основі графічних процесорів	87
3.4.1. Відеоприскорювачі компанії NVIDIA	88
3.4.1.1. Архітектура відеоприскорювачів серії G800 series.....	89
3.4.1.2. Архітектура Fermi	90
3.4.2. Відеоприскорювачі компанії ATI / AMD.....	92
3.4.2.1. Архітектура відеоприскорювачів ATI Cayman.....	92
3.4.2.2. Архітектура потокових процесорів.....	94
3.4.2.3. Контроль споживаної потужності.....	95
3.4.2.4. Основні характеристики відеоприскорювачів архітектури Cayman	95
Розділ 4. Реконфігуровні комп'ютерні системи та їхні базові елементи.....	97
4.1. Програмовні логічні пристрої.....	97
4.1.1. Постійні запам'ятовувальні пристрої.....	99
4.1.2. Програмовна матрична логіка.....	101
4.1.3. Програмовні логічні матриці.....	102
4.1.4. Програмовні матриці вентилів.....	103
4.1.5. Програмування логічних пристроїв.....	104
4.1.6. Програмовні логічні інтегральні схеми.....	104
4.2. Реконфігуровні комп'ютерні системи	105
4.3. Перші реконфігуровні комп'ютерні системи	106
4.4. Причини використання ПЛІС для виконання високопродуктивних обчислень.....	109
4.5. Методи реконфігурування ПЛІС та типи їх конфігуровних елементів.....	110
Розділ 5. Високопродуктивні комп'ютерні системи з реконфігуровними прискорювачами.....	111
5.1. Типи архітектури високопродуктивних комп'ютерних систем з реконфігуровними прискорювачами.....	112
5.2. Високопродуктивні комп'ютерні системи на основі універсальних процесорів із слабкозв'язаними прискорювачами.....	113
5.2.1. Реконфігуровні прискорювачі серії H100 фірми Nallatech.....	114
5.2.2. Реконфігуровний прискорювач DN7000K10PCI фірми Dini Group	117
5.2.3. Реконфігуровний прискорювач Soracobana компанії SciEngines	119

5.2.4. Реконфігуровний суперкомп'ютер Maxwell альянсу FHPCA	123
5.3. Високопродуктивні комп'ютерні системи на основі універсальних процесорів із тіснозв'язаними прискорювачами	125
5.3.1. Прискорювачі, тісно інтегровані в мережну структуру	130
5.3.1.1. Реконфігуровні процесорні блоки RPU фірми DRC	130
5.3.1.2. Реконфігуровний прискорювач RCHTX фірми Celoxica	131
5.3.2. Тісно інтегровані в мережну структуру прискорювачі з прямим під'єднанням до мережного інтерфейсу кристала	133
5.3.3. Прискорювачі з прямим з'єднанням з пристроями пам'яті та гібридні прискорювачі	135
5.3.3.1. Реконфігуровні прискорювачі з архітектурою RASC фірми SGI	135
5.3.3.2. Реконфігуровні прискорювачі MAPstation на основі процесорів MAP фірми SRC	137
Частина II. Технології та засоби проектування спеціалізованих процесорів для реконфігурованих прискорювачів персональних суперкомп'ютерів	141
Анотація до частини II	143
Розділ 6 Технології та засоби проектування програмних моделей процесорів та комп'ютерних систем на кристалі	145
6.1. Програмні моделі процесорів та переваги їх використання	145
6.2. Технологія та засоби проектування програмних моделей процесорів на рівні міжрегістрових передач	147
6.2.1. Порядок проектування програмних моделей процесорів	147
6.2.2. Етапи проектування програмних моделей процесорів на рівні міжрегістрових передач та їх реалізація у програмовних логічних інтегральних схемах	148
6.2.3. Засоби проектування програмних моделей процесорів	150
6.3. Технологія та засоби проектування комп'ютерних систем на кристалі	151
6.3.1. Особливості технології проектування комп'ютерних систем на кристалі	151
6.3.2. Етапи проектування комп'ютерних систем на кристалі	153
6.3.2.1. Концептуальний рівень проектування	154
6.3.2.2. Проектування і функціональна верифікація	156
6.3.2.3. Архітектурне планування кристала	159
6.3.2.4. Логічний синтез і проектування фізичного прототипу	163
6.3.2.5. Проектування фізичних топологій напівзамовних схем	166
6.4. Методи тестування і відлагодження спеціалізованих процесорів в ПЛІС реконфігуровного прискорювача	169
6.5. Особливості реалізації систем діагностики і тестування спеціалізованих процесорів у ПЛІС реконфігуровного прискорювача	172
Розділ 7. Конфігуровні програмні моделі процесорів та їх використання в реконфігурованих прискорювачах	176
7.1. Конфігурування програмних моделей процесорів	176
7.1.1. Конфігуровні програмні моделі процесорів та їх переваги	176
7.1.2. Формалізований опис архітектури процесора	177
7.1.2.1. Параметри архітектури процесора	178
7.1.2.2. Багаторівнева структура процесора	178
7.1.2.3. Інтерфейс введення–виведення процесора	179
7.1.2.4. Формат команди процесора	180
7.1.2.5. Множина форматів даних процесора	180
7.1.2.6. Склад системи команд процесора	181
7.1.2.7. Способи адресації пам'яті	182
7.1.2.8. Вплив параметрів процесора на його характеристики	182

7.1.3. <i>Формалізований опис конфігурованої програмної моделі процесора на основі параметрів його архітектури</i>	183
7.1.4. <i>Аналіз можливостей створення конфігурованих програмних моделей процесорів механізмами мов опису апаратних засобів</i>	184
7.2. <i>Методи створення програмних моделей процесорів для реконфігурованих прискорювачів</i>	185
Розділ 8 <i>Методи та засоби створення програмних моделей процесорів та комп'ютерних систем на кристалі шляхом їх генерування з конфігурованих моделей</i>	189
8.1. <i>Технологія та засоби проектування програмних моделей процесорів для реконфігурованих прискорювачів з використанням їх генераторів</i>	189
8.1.1. <i>Генератори програмних моделей процесорів</i>	189
8.1.2. <i>Засоби генерування програмних моделей обчислювальних пристроїв</i>	192
8.1.2.1. Система генерування програмних моделей обчислювальних пристроїв IP Core Generator фірми ALDEC	192
8.1.2.2. Система генерування програмних моделей обчислювальних пристроїв CORE Generator System фірми Xilinx	201
8.1.3. <i>Тестування генераторів програмних моделей процесорів</i>	205
8.1.3.1. Особливості тестування генераторів програмних моделей процесорів... ..	205
8.1.3.2. Евристичний метод тестування генератора	206
8.1.3.3. Тестування генератора методом повного перебору	206
8.1.3.4. Тестування генератора методом вибіркового перебору	207
8.1.3.5. Система тестування генераторів програмних моделей процесорів	208
8.2. <i>Застосування генераторів програмних моделей процесорів для побудови генераторів програмних моделей комп'ютерних систем на кристалі</i> ..	209
8.2.1. <i>Програмні моделі процесорів у комп'ютерних системах на кристалі</i>	209
8.2.2. <i>Генератор програмних моделей комп'ютерних систем на кристалі</i>	211
Розділ 9 <i>Методи та засоби генерування програмних моделей процесорів з використанням бібліотек</i>	213
9.1. <i>Бібліотека програмних моделей процесорів</i>	213
9.2. <i>Бібліотека програмних моделей процесорних компонент</i>	214
9.3. <i>Бібліотека функціонально повних конфігурованих програмних моделей процесорів</i>	215
9.4. <i>Засоби проектування програмних моделей процесорів з використанням бібліотеки їх компонент</i>	218
Розділ 10 <i>Методи та засоби автоматизованого високорівневого проектування програмних моделей процесорів</i>	222
10.1. <i>Створення програмних моделей процесорів методом їх автоматизованого високорівневого проектування</i>	222
10.2. <i>Переваги використання систем автоматизованого високорівневого проектування під час реалізації спеціалізованих процесорів</i>	223
10.3. <i>Послідовність автоматизованого високорівневого проектування програмних моделей спеціалізованих процесорів від алгоритму до рівня міхрегістрових передач</i>	223
10.3.1. <i>Подання виконуваного алгоритму</i>	223
10.3.2. <i>Опис інтерфейсу та технічних характеристик спеціалізованого процесора</i>	224
10.3.3. <i>Етапи автоматизованого високорівневого проектування програмних моделей спеціалізованих процесорів</i>	224
10.3.3.1. <i>Введення алгоритму</i>	225
10.3.3.2. <i>Перетворення в проміжний код</i>	225
10.3.3.3. <i>Визначення та аналіз структури алгоритму</i>	226
10.4. <i>Класифікація засобів автоматизованого високорівневого проектування програмних моделей процесорів</i>	226

10.5. Засоби автоматизованого високорівневого проектування програмних моделей процесорів шляхом переведення високорівневого опису алгоритму в модель апаратно-програмної системи	227
10.5.1. <i>Технологія та засоби проектування компанії Celoxica</i>	227
10.5.2. <i>Технологія та засоби проектування компанії Impulse Accelerated Technologies...</i>	228
10.5.3. <i>Технологія та засоби проектування фірми Nallatech</i>	231
10.5.4. <i>Технологія та засоби проектування PICO Express фірми Synfora</i>	233
10.6. Засоби автоматизованого високорівневого проектування програмних моделей процесорів шляхом переведення високорівневого опису алгоритму в логічні вентиля ПЛІС	235
10.6.1. <i>Технологія та засоби проектування ОСКАР підприємства "Інтрон"</i>	235
10.6.1.1. Подання алгоритму графом	236
10.6.1.2. Подання графу алгоритму структурною матрицею, її властивості та принципи відображення	238
10.6.1.3. Методи високорівневого проектування алгоритмічних операційних пристроїв	241
10.6.2. <i>Технологія та засоби проектування CHiMPS фірми Xilinx</i>	245
10.7. Засоби автоматизованого високорівневого проектування програмних моделей процесорів шляхом конфігурування їх базової конфігуровної програмної моделі...	247
10.7.1. <i>Технологія та засоби проектування Хамелеон підприємства "Інтрон"</i>	248
10.7.1.1. Особливості системи проектування Хамелеон.....	248
10.7.1.2. Архітектура системи проектування Хамелеон.....	250
10.7.1.3. Приклад застосування системи проектування Хамелеон.....	254
10.7.2. <i>Технологія та засоби проектування Mitrion SDK фірми Mitronics</i>	261
10.8. Інтегровані технології автоматизованого високорівневого проектування програмних моделей процесорів	263
10.8.1. <i>Технологія та засоби проектування Carte фірми SRC</i>	263
10.8.2. <i>Технологія та засоби проектування RASC фірми SGI</i>	265
Частина III. Проектування прискорювачів виконання алгоритмів симетричного блокового шифрування	267
Анотація до частини III	269
Розділ 11 Алгоритми симетричного блокового шифрування	271
11.1. Симетричні блокові шифри та загальні принципи їх утворення	271
11.2. Алгоритм симетричного блокового шифрування DES.....	275
11.3. Алгоритм симетричного блокового шифрування Triple DES.....	278
11.4. Режими обробки даних в алгоритмах симетричного блокового шифрування.....	279
11.4.1. <i>Режим простої заміни</i>	280
11.4.2. <i>Режим зчеплення блоків зашифрованого тексту</i>	281
11.4.3. <i>Режим зворотного зв'язку за зашифрованим текстом</i>	282
11.4.4. <i>Режим зворотного зв'язку за виходом</i>	283
Розділ 12. Конфігуровні структури процесорів симетричного блокового шифрування	285
12.1. Конфігуровна структура та конфігураційні параметри процесорів симетричного блокового шифрування	285
12.2. Конфігуровні структури операційних пристроїв обробки даних і ключів	289
12.2.1. <i>Принципи конфігурування структур операційних пристроїв обробки даних і ключів</i>	289
12.2.2. <i>Конфігуровні структури операційних пристроїв обробки даних</i>	291
12.2.3. <i>Конфігуровні структури операційних пристроїв обробки ключів</i>	298
12.3. Конфігуровні структури пристроїв організації режимів шифрування.....	305

Розділ 13. Бібліотеки компонент програмних моделей процесорів симетричного блокового шифрування за алгоритмами DES та Triple DES.....	307
13.1. Конфігураційні параметри процесорів СБШ за алгоритмами DES і Triple DES	307
13.2. Структури операційних пристроїв обробки даних і ключів за алгоритмами DES і Triple DES	309
13.2.1. Конфігураційні параметри операційних пристроїв обробки даних і ключів за алгоритмами DES і Triple DES	309
13.2.2. Структури операційних пристроїв обробки даних і ключів за алгоритмом DES	310
13.2.3. Структури комбінаційних схем раунду.....	313
13.2.4. Ітераційний операційний пристрій обробки даних і ключів за алгоритмом DES	316
13.2.5. Конвеєрний операційний пристрій обробки даних і ключів за алгоритмом DES	318
13.2.6. Структури операційних пристроїв обробки даних і ключів за алгоритмом Triple DES	320
13.2.7. Використання компонент операційних пристроїв обробки даних і ключів за алгоритмом DES в операційних пристроях обробки даних і ключів за алгоритмом Triple DES	323
13.2.8. Контролер ітераційного операційного пристрою обробки даних і ключів за алгоритмом Triple DES	324
13.2.9. Контролер конвеєрного операційного пристрою обробки даних і ключів за алгоритмом Triple DES	327
13.3. Структури пристроїв організації режимів шифрування	328
13.3.1. Конфігураційні параметри пристроїв організації режимів шифрування.....	328
13.3.2. Структури комутаційних мереж.....	330
13.3.2.1. Комутаційна мережа для режиму зчеплення блоків зашифрованого тексту.....	330
13.3.2.2. Комутаційна мережа для режиму зворотного зв'язку за зашифрованим текстом	334
13.3.2.3. Комутаційна мережа для режиму зворотного зв'язку за виходом	340
13.3.3. Блоки керування.....	342
13.3.3.1. Блок керування для режиму зчеплення блоків зашифрованого тексту....	342
13.3.3.2. Блок керування для режиму зворотного зв'язку за зашифрованим текстом	347
13.3.3.3. Блок керування для режиму зворотного зв'язку за виходом	351
13.3.4. Структури блоків зберігання параметрів	353
13.3.4.1. Блок зберігання параметрів для алгоритму DES	353
13.3.4.2. Блок зберігання параметрів для алгоритму Triple DES	354
13.3.5. Структура блоку транзитного передавання даних.....	356
13.4. Ефективність застосування технології проектування програмних моделей процесорів на основі бібліотеки компонент.....	357
Частина IV. Проектування прискорювачів виконання алгоритмів швидких ортогональних перетворень	359
Анотація до частини IV.....	361
Розділ 14. Алгоритми швидких ортогональних перетворень.....	363
14.1. Загальний огляд алгоритмів дискретних ортогональних перетворень	363
14.2. Використання дискретних ортогональних перетворень	365
14.3. Швидке перетворення Фур'є.....	367
14.4. Швидке перетворення Хартлі	369
14.5. Швидке косинусне перетворення	371
14.5.1. Дискретні косинусне та синусне перетворення	371
14.5.2. Алгоритм швидкого косинусного перетворення	372

Розділ 15. Конфігуровна архітектура процесора швидких ортогональних перетворень	375
15.1. Постановка задачі створення генератора програмних моделей процесорів швидких ортогональних перетворень	375
15.2. Вибір архітектури процесора для синтезу в генераторі програмних моделей	377
15.3. Принципи побудови генератора програмних моделей апаратно-орієнтованих процесорів	383
15.4. Алгоритми взаємних обчислень дискретних ортогональних тригонометричних перетворень.....	385
15.5. Структура процесора ДКП.....	398
15.6. Структури процесорів ШОП на основі ДКП.....	400
15.7. Структура багатофункціонального процесора виконання ортогональних перетворень на основі ДКП.....	403
Розділ 16. Структурна оптимізація алгоритму швидкого косинусного перетворення.....	405
16.1. Спрощення структури матриці перетворення графу алгоритму швидкого косинусного перетворення	405
16.2. Структури матриці коригування алгоритму швидкого косинусного перетворення	406
16.3. Паралельні структури матриці коригування алгоритму швидкого косинусного перетворення	409
16.4. Паралельні структури матриці коригування алгоритму оберненого швидкого косинусного перетворення	415
Розділ 17. Генератор програмних моделей процесорів швидких ортогональних перетворень ...	417
17.1. Програмна модель процесора швидких ортогональних перетворень	417
17.2. Програмні моделі функціональних блоків процесора швидких ортогональних перетворень	421
17.2.1. <i>Сортувальна пам'ять</i>	421
17.2.2. <i>Блок повороту вектора</i>	423
17.2.3. <i>Процесор швидкого косинусного перетворення</i>	426
17.3. Система генерування і тестування програмних моделей процесорів швидких ортогональних перетворень.....	434
Частина V. Організація функціонування реконфігуровного прискорювача в складі персонального суперкомп'ютера, його тестування та оцінювання прискорення виконання завдань	437
Анотація до частини V	439
Розділ 18. Організація взаємодії між універсальним комп'ютером та реконфігуровним прискорювачем.....	440
18.1. Придатність стандартних інтерфейсів до організації взаємодії реконфігуровного прискорювача з універсальним комп'ютером.....	440
18.1.1. <i>Інтерфейс USB</i>	440
18.1.2. <i>Інтерфейс FireWire</i>	441
18.1.3. <i>Інтерфейс PCI</i>	442
18.1.4. <i>Інтерфейс PCI-X</i>	443
18.1.5. <i>Інтерфейс PCI Express</i>	444
18.1.6. <i>Вимоги до інтерфейсу між універсальним комп'ютером та реконфігуровним прискорювачем</i>	446
18.2. Базова архітектура програмно-апаратної системи для організації взаємодії між універсальним комп'ютером та реконфігуровним прискорювачем.....	446
18.2.1. <i>Апаратні засоби для організації взаємодії між універсальним комп'ютером та реконфігуровним прискорювачем</i>	447
18.2.2. <i>Програмні засоби для організації взаємодії між універсальним комп'ютером та реконфігуровним прискорювачем</i>	450

18.2.2.1. Особливості проектування драйвера режиму ядра	450
18.2.2.2. Надбудова над драйвером пристрою	453
18.2.2.3. Функції тестових утиліт	455
18.2.3. <i>Модель взаємодії реконфігуровного прискорювача</i> <i>з універсальним комп'ютером</i>	455
Розділ 19. Організація функціонування реконфігуровного прискорювача у складі персонального суперкомп'ютера	457
19.1. Системне програмне забезпечення для інтеграції апаратури реконфігуровного прискорювача з універсальним комп'ютером	457
19.2. Програмне забезпечення для організації роботи з реконфігуровним прискорювачем	465
Розділ 20. Тестування реконфігуровного прискорювача в складі персонального суперкомп'ютера та оцінювання прискорення виконання завдань	471
20.1. Розроблення системи тестування та оцінювання прискорення виконання завдань	471
20.1.1. <i>Загальна структура системи тестування та оцінювання прискорення</i>	471
20.1.2. <i>Підсистема запису даних на плату прискорювача</i>	472
20.1.3. <i>Підсистема обчислення тестових завдань</i> <i>на процесорі універсального комп'ютера</i>	473
20.2. Результати тестування та оцінювання прискорення на прикладі застосування прискорювача виконання алгоритму ШПФ	474
20.2.1. <i>Слабкозв'язана архітектура</i>	474
20.2.2. <i>Тіснозв'язана архітектура</i>	476
Частина VI. Деякі перспективні застосування реконфігуровних прискорювачів у складі персональних суперкомп'ютерів	479
Анотація до частини VI	481
Розділ 21. Організація дистанційного доступу до реконфігуровних прискорювачів	482
21.1. Структура віртуальної лабораторії	482
21.2. Налаштування лабораторії та організація роботи з реконфігуровним прискорювачем	485
Розділ 22. Самоконфігуровні прискорювачі обчислень у комп'ютерах	488
22.1. Концепція побудови самоконфігуровних прискорювачів – нового класу прискорювачів обчислень у комп'ютерах	488
22.2. Метод самоконфігурування	489
22.3. Реалізація методу самоконфігурування прискорювача	491
22.3.1. <i>Розподіл обчислювального навантаження між комп'ютером та СКП</i>	491
22.3.2. <i>Генерування програмної моделі процесора для синтезу</i> <i>в реконфігуровному середовищі СКП</i>	492
22.3.3. <i>Логічний синтез спеціалізованого процесора для реконфігуровного</i> <i>середовища СКП</i>	492
22.3.4. <i>Подання скомпільованої програми в систем</i> <i>“комп'ютер – самоконфігуровний прискорювач”</i>	493
22.4. Організація функціонування системи “комп'ютер – самоконфігуровний прискорювач” після запуску програми	493
22.4.1. <i>Конфігурування ПЛІС реконфігуровного середовища СКП</i>	493
22.4.2. <i>Виконання програми</i>	494
22.5. Структура самоконфігуровного прискорювача	494
Список літератури	496